



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62007150 A**

(43) Date of publication of application: 14 . 01 . 87

(51) Int. Cl

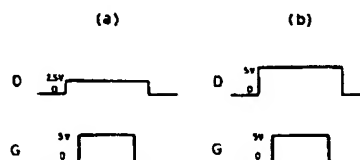
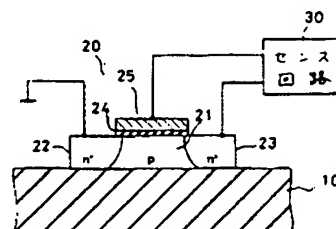
**H01L 27/10**  
**G11C 11/34**
(21) Application number: **60144574**(22) Date of filing: **03 . 07 . 85**(71) Applicant: **AGENCY OF IND SCIENCE & TECHNOL**(72) Inventor: **IKEDA HIROSHI**  
**KATO KOICHI**(54) **SEMICONDUCTOR MEMORY DEVICE**

## (57) Abstract:

**PURPOSE:** To provide memory function in an MOS transistor itself by controlling the amplitude of a voltage applied to the gate and drain of an MOS transistor formed on an insulator.

**CONSTITUTION:** A sensing circuit 30 writes, erases and reads out information to control the amplitude and timing of a voltage applied to a gate 25 and a drain 23. The circuit 30 applies a voltage of the degree not generating an impact ionization to the drain 23 at writing time, applies a voltage of threshold value or higher to the gate 25, and then abruptly set the gate voltage to zero. It applies a voltage of the degree for generating impact ions to the drain 23 at erasing time, applies a voltage of threshold value of higher to the gate 25, and then abruptly sets the gate voltage to zero. It applies a gate voltage of threshold value or higher in the state that a voltage of the degree not generating an impact ionization is applied to the drain 23 at writing time.

COPYRIGHT: (C)1987,JPO&amp;Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特 許 公 報 (B2) 平5-87027

⑬ Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

⑭ 公告 平成5年(1993)12月15日

H 01 L 27/108

8728-4M

H 01 L 27/10

3 2 5 M

発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置における書き込み、読出し方法

⑯ 特 願 昭60-144574

⑰ 公 開 昭62-7150

⑱ 出 願 昭60(1985)7月3日

⑲ 昭62(1987)1月14日

⑳ 発 明 者 池 田 博 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉑ 発 明 者 加 藤 弘 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉒ 出 願 人 工 業 技 術 院 長 東京都千代田区霞が関1丁目3番1号

審 査 官 後 谷 陽 一

㉓ 参 考 文 献 特開 昭56-78156 (JP, A) 特開 昭55-113359 (JP, A)

特開 昭54-5635 (JP, A)

1

2

㉔ 特許請求の範囲

1 電気的に浮遊している一導電型の半導体層の両端に該半導体層とは逆導電型の不純物層からなるソース・ドレインを形成し、且つ上記半導体層上に絶縁層を介してゲート電極を形成してなるMOSトランジスタにおいて、書き込み時にはドレインにインパクトイオン化の生じない程度の電圧を印加しておき、ゲート電圧をしきい値以上の電圧から急激に零にし、消去時にはドレインにインパクトイオン化の生じる程度の電圧を印加しておき、ゲート電圧をしきい値電圧以上の電圧から急激に零にし、読出し時にはドレインにインパクトイオン化の生じない程度の電圧を印加しておき、ゲートにしきい値以上の電圧を印加した後、しきい値以下の電圧を印加することを特徴とする半導体装置における書き込み、読出し方法。

発明の詳細な説明

〔発明の技術分野〕

本発明は、半導体記憶装置に係わり、特に絶縁体上の半導体層中に形成されるMOSトランジスタを用いた半導体装置の書き込み、読出し方法に関する。

〔発明の技術的背景とその問題点〕

従来、情報の書換え可能な半導体記憶素子とし

ては、

FAMOS(Floating Gate Avalanche Injection MOS)、SAMOS(Stacked Gate Avalanche Injection MOS)、MNOS(Metal Nitride Oxide Semiconductor)等が開発されている。

しかしながら、この種の半導体記憶素子にあつては次のような問題があつた。即ち、ゲート電極を絶縁膜の中に封じ込める構造であつたり、ゲート電極下の絶縁膜を多層構造としたり、或いは2重電極構造を用いる必要があるため、構成が複雑であり、通常のMOSFETに比べてその製作が非常に面倒である。また、情報の書き込み時に高いゲート電圧を必要とし、そのための回路が必要であつたり、高耐圧のトランジスタを使用する必要があり、製造コストが増大する等の問題があつた。

〔発明の目的〕

本発明は上記事情を考慮してなされたもので、その目的とするところは、絶縁体上に形成されるMOSトランジスタを利用して、簡単な構造で書換え可能な半導体装置の書き込み、読出し方法を提供することにある。

〔発明の概要〕

本発明の骨子は、1個のMOSトランジスタで1この記憶素子を実現することにより、絶縁体上

に形成されるMOSトランジスタのゲート及びドレインに印加する電圧の大きさを制御することにより、MOSトランジスタ自体に記憶機能を持たせることにある。

即ち本発明は、情報の書き込み及び読出しを行う半導体記憶装置において、電気的に浮遊している一導電型の半導体層の両端に該半導体層とは逆導電型の不純物層からなるソース・ドレインを形成し、且つ上記半導体層上に絶縁層を介してゲート電極を形成してなるMOSトランジスタにおいて、書き込み時にはドレインにインパクトイオン化の生じない程度の電圧を印加しておき、ゲート電圧をしきい値以上の電圧から急激に零にし、消去時にはドレインにインパクトイオン化の生じる程度の電圧を印加しておき、ゲート電圧をしきい値以上の電圧から急激に零にし、読出し時にはドレインにインパクトイオン化の生じない程度の電圧を印加しておき、ゲートにしきい値以上の電圧を印加した後、しきい値以下の電圧を印加するようにしたものである。

#### 〔発明の効果〕

本発明によれば、1個のMOSトランジスタで1個の記憶素子を実現することができる。このため、構造が簡単となり、従来装置よりも安価に製造することができる。さらに、高い電圧を必要とせず、そのための回路対策及び素子対策も必要となり、このことから製造コストの低減化に有効である。

#### 〔発明の実施例〕

以下、本発明の詳細を図示の実施例によつて説明する。

第1図は本発明の一実施例に係わる半導体記憶装置を示す概略構成図である。絶縁体10上に形成されたP型シリコン層（浮遊基板）21にN型不純物をドーピングしてソース・ドレイン領域22、23を形成し、さらにゲート酸化膜24を介してゲート電極25を形成してなるMOSトランジスタ20が構成されている。ここで、シリコン層21は、SiO<sub>2</sub>膜等の絶縁体10上に多結晶や非晶質のシリコン膜を堆積した後、ビームアニールによつて該膜を単結晶化して形成されたものである。そして、このシリコン層21は、浮遊状態となっている。

上記MOSトランジスタ20のソース22は接

地され、ドレイン23及びゲート電極25はセンス回路30に接続されている。センス回路30は、MOSトランジスタ20に対し情報の書き込み、消去及び読出しを行うもので、ゲート25及びドレイン23に印加する電圧の大きさ及びタイミング等を制御するものとなっている。

ここで、センス回路30においては、情報の書き込み時及び消去時に次のような電圧を発生する。書き込み時は、第2図(a)に示す如くドレイン23にインパクトイオン化の生じない程度の電圧を印加しておき、ゲート25にしきい値以上の電圧を印加した後、このゲート電圧を急激に零にする。消去時は、第2図(b)に示す如くドレイン23にインパクトイオンが生じる程度の電圧を印加しておき、ゲート25にしきい値以上の電圧を印加した後、このゲート電圧を急激に零にする。また、読込み時には、ドレイン23にインパクトイオンの生じない程度の電圧を印加した状態でしきい値以上のゲート電圧を印加するものとなっている。

なお、上記のMOSトランジスタ20は通常の半導体メモリ素子と同様に、マトリックス状に配列し、ゲート及びドレインをそれぞれワード線及びビット線に接続することにより、記憶回路として機能するものとなっている。

次に、上記構成された半導体記憶装置の作用について説明する。

まず、情報を書き込む場合は、ソース22を接地し、ドレイン23にインパクトイオン化の生じない程度の低い正電圧（例えば0.5V）を加えた後、ゲート電極25にしきい値電圧以上の正の電圧（例えば5V）を加えて浮遊基板21の絶縁膜24下にチャネルを作り、その後急激にゲート電圧をしきい値以下に低下させる。このようにゲート電圧を急激に低下させると、チャネル内の電子がソース・ドレインに吸収されることになり、チャネル・基板間の容量結合のため、浮遊基板21の電位が下がる。すると、ソース・ドレインより供給される電子と浮遊基板21内の正孔とが、熱的に対消滅を起し、浮遊基板21内の正孔濃度が薄くなり、ソース22に対して浮遊基板21が急激に負にバイアスされたまま保持される。この状態は、MOSトランジスタ20にバックバイアスが加わった状態で、負にバイアスされるとしきい値

5

電圧が上がり、ドレイン電流を測定すると、浮遊基板 2 1 がソース 2 2 と同電位のとき、即ち半導体記憶素子 (MOSトランジスタ 2 0) に情報が書込まれていないときに比べて少ない電流しか流れない。

半導体記憶素子に記憶された情報を消去させる場合は、光を照射して浮遊基板 2 1 内に電子・正孔対を生成させ、浮遊基板 2 1 内の正孔の数を元に戻すか、或いはドレイン 2 3 にインパクトイオン化を起こす程度の電圧 (例えば 5V) を加え、その後ゲート電圧を加えて急激にしきい値以下にすると、インパクトイオン化のための正孔が浮遊基板 2 1 に多く溜まる。

半導体記憶素子に書込まれた情報を読出す場合は、ドレイン 2 3 をビット線に接続し、ビット線を予めある電圧 (例えば 2.5V) に充電しておく。その後、ゲート電圧 2 5 の電圧をしきい値電圧以上に上げると、ドレイン電流が流れる。この時、ビット線の電位はインパクトイオン化が生じない程度の電位に充電されているので、次にゲート電圧 2 5 をしきい値電圧以下にして読出しが終わると、浮遊基板 2 1 は負にバイアスされたまま情報が残る。浮遊基板 2 1 がバイアスされていない時は、ゲート電圧 2 5 の電位を上げると電子が浮遊基板 2 1 内に流れ、正孔が下に押し下げられ、浮遊基板電位が上がり、しきい値電圧が下がって多いドレイン電流が流れる。この時には、ビット線をセンスして、インパクトイオン化が起こる程度の電位にする。そうすると、浮遊基板 2 1 はゲート電圧 2 5 の電位を再びしきい値より下げ読出しを終了すると、正孔が多数残り情報が保持される。

6

かくして本実施例によれば、MOSトランジスタ 2 0 に記憶素子の機能を持たせることができる。即ち 1 個の MOSトランジスタから 1 個のメモリ素子を実現することができる。しかも、MOSトランジスタ 2 0 の構造は通常のトランジスタ構造と同様でよく、また高い電圧を用いる必要もないので、その製造が容易であり、製造コストの大幅な低減化をはかり得る。

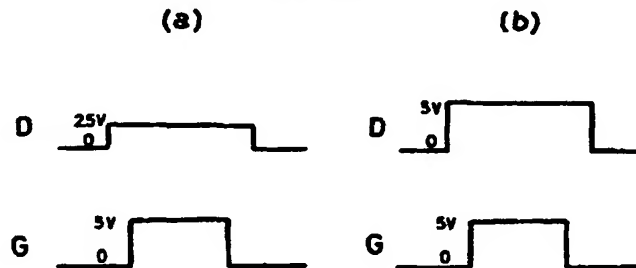
なお、本発明は上述した実施例に限定されるものではない。例えば、前記 MOSトランジスタは N型に限るものではなく、P型であつてもよい。さらに、シリコン層は  $\text{SiO}_2$  等の非晶質絶縁体上に形成されたもの (SOI) ではなく、サファイア等の単結晶絶縁体上に形成されたもの (SOS) であつてもよい。また、MOSトランジスタのゲート及びドレイン等に印加するバイアス条件等は、使用する MOSトランジスタの特性に応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 図面の簡単な説明

第 1 図は本発明の一実施例に係わる半導体記憶装置を示す概略構成図、第 2 図 a, b は上記装置に用いたセンス回路の作用を説明するためのものでドレイン及びゲートに印加する電圧を示す信号波形図である。

1 0 ……絶縁体、2 0 ……N型 MOSトランジスタ、2 1 ……P型シリコン層 (浮遊基板)、2 2 ……ソース、2 3 ……ドレイン、2 4 ……ゲート酸化膜、2 5 ……ゲート電極、3 0 ……センス回路。

第 2 図



第1図

